

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

014368773 **Image available**

WPI Acc No: 2002-189475/200225

XRPX Acc No: N02-143588

Optoelectric integrated device used as a processing unit consists of a silicon ball with a number of optical devices transmitting light through the interior connected to a number of electronic devices on the surface

Patent Assignee: CANON KK (CANO); UCHIDA M (UCHI-I)

Inventor: UCHIDA M

Number of Countries: 028 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 1139122	A2	20011004	EP 2001107915	A	20010328	200225 B
US 20010032984	A1	20011025	US 2001817344	A	20010327	200225
JP 2001284635	A	20011012	JP 200090826	A	20000329	200225

Priority Applications (No Type Date): JP 200090826 A 20000329

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 1139122	A2	E	14	G02B-006/12	
------------	----	---	----	-------------	--

Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT

LI LT LU LV MC MK NL PT RO SE SI TR

US 20010032984	A1			H01L-027/15	
----------------	----	--	--	-------------	--

JP 2001284635	A		9	H01L-031/12	
---------------	---	--	---	-------------	--

Abstract (Basic): EP 1139122 A2

NOVELTY - Consists of a silicon ball (101) with a number of LEDs (102) or Vertical Cavity Surface Emitting Lasers (VCSELs) (102) and photodiodes (102) integrated into the surface transmitting light of a longer wavelength than the bandgap energy of the silicon through its interior. Optical devices are in a buffer layer for lattice matching formed on the surface. A number of electronic devices (103) are also integrated onto the surface.

DETAILED DESCRIPTION - Semiconductor devices have at least one of the following functions: switching on and off a LED, converting light signals into electrical signals, performing arithmetic or logical operations on the basis of the electronic signals.

USE - As a optoelectric processing unit which is applicable to a neurocomputer.

ADVANTAGE - Solves pin bottle neck problem where density of integration is restricted by the number of electrical wires.

DESCRIPTION OF DRAWING(S) - The drawing shows the entire structure of the invention.

silicon ball (101)

optical devices (102)

electronic devices (103)

electric wiring (104)

optical pathways and or wiring (105)

pp; 14 DwgNo 1/10

Technology Focus:

TECHNOLOGY FOCUS - INORGANIC CHEMISTRY - LEDs are constructed of a III -VN semiconductor material such as GaN_xAs_{1-x}

Photodiodes can consist of a III -VN semiconductor or SiGe

Other portions of the device can consist of III -VN semiconductors such as GaNAs, GaInAs, AlNAs and GaInNAsP.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-284635

(P2001-284635A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl. ¹	識別記号	P I	テマコード [*] (参考)
H 0 1 L	31/12	H 0 1 L 31/12	G 5 F 0 4 1
	31/10	33/00	A 5 F 0 4 9
	33/00		C 5 F 0 7 3
H 0 1 S	5/026	H 0 1 S 5/026	5 F 0 8 9
		5/323	

審査請求 未請求 請求項の数11 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願2000-90826(P2000-90826)

(22) 出願日 平成12年3月29日 (2000. 3. 29)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 内田 震

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 100086483

弁理士 加藤 一男

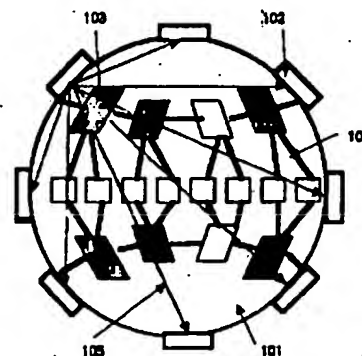
最終頁に続く

(54) 【発明の名称】 立体形状を有する光電融合デバイス

(57) 【要約】

【課題】 高速演算素子のピンボトルネックを解決し、超高速演算や超並列処理に適用可能な光電融合デバイスを提供することにある。

【解決手段】 光電融合デバイスでは、半導体の立体形状結晶101の表面に、少なくとも、発光デバイスと受光デバイスを含む光デバイス102が複数集積され、立体形状結晶101の内部を光配線105の媒体として用いて発光デバイスと受光デバイス間で光を授受する。



101 結晶
102 光デバイス
103 受光デバイス
104 発光デバイス (集積部)
105 光配線 (導体内)

【特許請求の範囲】

【請求項1】半導体の立体形状結晶の表面に、少なくとも、発光デバイスと受光デバイスを含む光デバイスが複数集積され、該立体形状結晶の内部を光配線媒体として用いて該発光デバイスと受光デバイス間で光を授受することを特徴とする光電融合デバイス。

【請求項2】前記半導体の立体形状結晶はSi球であり、その表面に電子デバイスと光デバイスが複数集積されている請求項1に記載の光電融合デバイス。

【請求項3】前記光デバイスは、その構成材料の一部にGaNA_s、GaInNA_s、AlNA_s、GaInNA_sP等のIII-VN半導体材料或いはSiGe等のIV族半導体材料が使われている請求項2に記載の光電融合デバイス。

【請求項4】前記光デバイスは、格子整合調整用のバッファ層を介して前記半導体の立体形状結晶の表面に形成されている請求項1乃至3の何れかに記載の光電融合デバイス。

【請求項5】前記発光デバイスは、それから発光される光が、自然放光或いは誘導放光であり、前記半導体の立体形状結晶内部に放射され、かつ該光の波長が該半導体の立体形状結晶のバンドギャップ波長よりも長い請求項1乃至4の何れかに記載の光電融合デバイス。

【請求項6】前記発光デバイスは、光を前記半導体の立体形状結晶内部に放射して、1つ或いは複数の前記受光デバイスが該光を受光できる様に形成されている請求項5に記載の光電融合デバイス。

【請求項7】前記発光デバイスは、それから発光される光が、自然放光或いは誘導放光であり、外部に光を発光できる様に形成されている請求項1乃至4の何れかに記載の光電融合デバイス。

【請求項8】前記受光デバイスは、1つ或いは複数の前記発光デバイスから前記半導体の立体形状結晶内部に放射された光を受光できる様に形成されている請求項1乃至7の何れかに記載の光電融合デバイス。

【請求項9】前記受光デバイスは、外部からの光を受光できる様に形成されている請求項1乃至7の何れかに記載の光電融合デバイス。

【請求項10】前記発光デバイスは、1つの受光デバイスに向けて光を前記半導体の立体形状結晶内部に放射できる発光デバイスと、複数の受光デバイスに向けて光を該半導体の立体形状結晶内部に放射できる発光デバイスとを含む請求項1乃至9の何れかに記載の光電融合デバイス。

【請求項11】前記半導体の立体形状結晶の表面に電子デバイスと光デバイスが複数集積されており、該電子デバイスは、前記発光デバイスの発光・消光を制御する機能、前記受光デバイスで受けた光を電気信号に変える機能、およびその電気信号をもとに論理演算する機能の少なくとも1つの機能を有する請求項1乃至10の何れか

に記載の光電融合デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、Si球等の立体形状の半導体結晶上に形成された光電融合デバイス、特にニューロコンピュータ等に適用される光電融合演算素子装置に関する。

【0002】

【従来の技術】CPUの高速動作のために、これまで行われている手法の1つは、配線幅を狭くし、集積密度を上げることである。この方法は、デバイスが増えるにつれて配線数が飛躍的に増えてしまうため、集積度が配線数に制限される状況（ピンボトルネック）になっている。これを解決する幾つかの方法が提案されている。

【0003】(1) 光配線

これは、電気配線の一部を光配線で置き換えることでピンボトルネックを解消しようとするものである。そして、光の電磁無誘導性および高帯域性を利用してトータルの電気配線数を減少させようとするものである。しかしながら、従来のように光配線を光ファイバや半導体導波路で行おうとすると電気配線とは桁違いに太い導波路になってしまい、特定の電気配線のみを置き換えられるにすぎない柔軟性のないものになってしまう。

【0004】一方、開放系たとえば空間に伝送する方法も提案されているが、この場合、伝送路そのものは自由度が大きいのので高密度配線可能であるが、反面、発光素子と受光素子の位置合わせがきわめて煩雑になり、高密度に集積することは困難で、トータルの演算処理能力は、電気配線の場合に比べ効果が小さいと考えられる。

【0005】(2) 球状IC

一方、光配線を用いることなく電気配線のみでこの問題を解決しようとする試みの1つに、球状Si基板（本明細書ではSi球と称する）の使用がある。Si球は、通常の平板Si基板にくらべ、球の表面を利用しているので空間の利用効率が上がるため、単位体積あたりの集積度が、Si球の半径に反比例して増加する。また、配線長も短くなるので、集積度×配線長の効果で演算スピードが向上することが予想される。しかし、この方法は高速動作の観点からは決定的な方法ではない。なぜなら、球の半径を小さくするにつれ配線幅および配線間隔も短くなるため、高抵抗や電磁誘導ノイズの影響が急激に大きくなるからである。

【0006】以上のように、現時点では、演算素子の高速化あるいはピンボトルネックの問題を本質的に解決する方法は提案されていないといつてよい。

【0007】本発明の目的は、高速演算素子のピンボトルネック等を解決し、超高速演算等とくに超並列処理に適用可能な演算素子（CPU）などの、光デバイスが表面に形成され半導体の立体形状結晶の内部を光伝送路と

して用いる光電融合デバイスを提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成する本発明の光電融合デバイスは、半導体の立体形状結晶の表面に、少なくとも、発光デバイスと受光デバイスを含む光デバイスが複数集積され、該立体形状結晶の内部を光配線媒体として用いて該発光デバイスと受光デバイス間で光を授受することを特徴とする。この基本構成において、半導体の立体形状結晶は、典型的には、FETやトランジスタ等の電子デバイスをモノリシックに容易に表面に形成できるSiの結晶であるが、Ge等の他の半導体結晶でも用途に応じて用いる。形状も、典型的には、球であるが、立方体等の他の形状も用い得る。本発明の重要な点は、立体形状結晶の内部を光伝送路として用いて、Si球等の表面に光デバイス（典型的には、ICと光デバイス）が複数集積されたことを特徴とする光電融合デバイスを構成することにある。この光デバイスは、その構成材料の一部にGaNA_s、GaInNA_s、AlNA_s、GaInNA_sP等のいわゆるIII-VN半導体材料（III族及びV族化合物半導体材料のうち、V族材料としてN（窒素）を含むものを本明細書ではこう表記する）あるいはSiGe等のIV族半導体材料が用いられる。

【0009】上記基本構成に基づいて、以下の如き構成も可能である。前記光デバイスは、半導体の立体形状結晶と光デバイス間の格子定数の差を調整して品質の良い結晶成長を確保する為の格子整合調整用のバッファ層を介して前記半導体の立体形状結晶の表面に形成される。

【0010】前記発光デバイスは、それから発光される光が、自然放出光或いは誘導放出光であり、前記半導体の立体形状結晶内部に放射され、かつ該放出光が該半導体結晶内部で吸収されない様に該光の波長が該半導体結晶のバンドギャップ波長よりも長い。

【0011】前記発光デバイスは、光を前記半導体の立体形状結晶内部に放射して、1つ或いは複数の前記受光デバイスが該光を受光できる様に形成される。前記発光デバイスは、それから発光される光が、自然放出光或いは誘導放出光であり、外部に光を発光できる様に形成される。

【0012】前記受光デバイスは、1つ或いは複数の前記発光デバイスから前記半導体の立体形状結晶内部に放射された光を受光できる様に形成される。前記受光デバイスは、外部からの光を受光できる様に形成される。

【0013】また、前記発光デバイスは、1つの受光デバイスに向けて光を前記半導体の立体形状結晶内部に放射できる発光デバイスと、複数の受光デバイスに向けて光を該半導体の立体形状結晶内部に放射できる発光デバイスとを含んで、柔軟な配線を高い集積度で構成されう

る。

【0014】また、前記半導体の立体形状結晶の表面に電子デバイスと光デバイスが複数集積されており、該電子デバイスは、前記発光デバイスの発光・消光を制御する機能、前記受光デバイスで受けた光を電気信号に変える機能、およびその電気信号をもとに論理演算する機能の少なくとも1つの機能を有する。

【0015】

【作用】以上の様に、本発明の最大の特徴は、Si球等の内部を光インタコネクットの光路として利用する点にある。

【0016】典型的には、Si球の上にICが形成されたデバイス（ボールICと称する）表面で電気コネクットの配線を張ると同時に、ボールICの内部を光インタコネクットの光路として利用する点にある。このためには、Si等に吸収されない波長帯の発光デバイスを、Si球等上に形成する必要がある。かつ、その光デバイスが、Si等と同じ環境で動作する必要がある。本発明では、典型的には、発光デバイスにIII-VN材料を、受光デバイスにIII-VNあるいはSiGeを用いることで、この問題を解決している。GaN_xAs_{1-x}に代表されるIII-VN材料はx=0.2程度でSiと格子整合する。また、x=0.03程度で1.3μm程度の波長の光を発する活性層となり得る。また、GaNA_s/AlNA_sの多層膜を高反射ミラーとして用いることができるため、高効率LEDや面発光レーザ（VCSEL）を作製できる。ほぼ同構造で受光デバイスも作製できるほか、より作製の容易なSi/Geを用いて受光デバイスを作製することもできる。球面等の上に配置された発光デバイス（たとえばLED）は、内部に光を放射することで全ての受光デバイス（たとえばPD）に受光させることもできる。すなわち、Si球等の内部を3次元光伝送路として用いることができる。光源にLDを用いた場合は指向性が鋭くなるので、或る特定の受光デバイス（PD）に転送することが可能である。光源や受光デバイスの制御はそれらの近傍に配置された電子回路で行ないうる。受光デバイス周辺の電子回路は単にOE変換するだけでなく、その場で所望の処理が可能な演算回路を持ちうる。受光デバイスは、受信信号を近傍のICで処理したり、処理した結果を、Si球等の表面伝いに電気配線で伝送したり、Si球等の内部に向かって新たに送信したりできる。最終的な演算結果を電気信号あるいは光信号で外部に出力してもよい。

【0017】

【発明の実施の形態】以下に、図面を参照しつつ本発明の実施の形態を説明する。

【0018】（実施例1）本実施例は、SiボールIC上に発光ダイオード（LED（light emitting diode））およびフォトダイオード（PD）を配置（活性層はGaInNA_sが主体）したものである。

【0019】図1は本実施例を説明する模式図である。図1中、101は球形状を有する直径約1mmのSi球であり、102および103は、夫々、その表面に形成された光デバイス（光源（LED）および受光デバイス（PD））および電子デバイス（CMOSロジック等）である。また、104はそれらを結合する電気配線（Alなど）であり、Si球101表面に配置されている。105はLED102から発する光がSi球101内部を伝播してできる光配線である。

【0020】以下、本実施例の製造方法について述べる。ボールICの作製方法は、従来の報告例と全く同じでよい。たとえば、以下の様に行われる。

【0021】（1）まず、Si球101を作製する。粒状多結晶Siを直径2mmのパイプの中に入れて溶融し、ほぼ球形状の単結晶にする。この後、ボールベアリングを作製する要領で表面研磨を行い、1mmφの真球にする。

【0022】（2）次に、ICプロセスパイプの中を通して、酸化や拡散プロセスを行う。パターン焼き付けは、たとえば、特開平10-294254号公報や特開平11-54406号公報に開示されている方法で実現可能である。前者では、Si球材料の球面に対応した回路パターンを備え、該Si球材料の球面に該回路パターンを全球面の半分以上の領域に渡って一括露光する。後者では、球状ICの中心を通る軸を任意に取り決め、該軸を中心にして球状ICを間欠的に回転させながら、この回転角に対応する球状IC表面の露光領域を、これに対応するマスクを用いて露光する。ここまでの工程でSiボールICが完成する（図2参照）。

【0023】次に、SiボールICプロセスがほぼ終了したあと、光デバイスを作製する。まず、球全体を窒化膜301等でカバーし、光デバイス作製部分（約10μm程度）を平面に研磨およびポリッシングする（図3参照）。窒化膜301で覆うのは、成長中、電子デバイス103を保護すると共にこれを選択成長用マスクとして使用するためである。ここでは、図3に示す様に、（111）面およびそれに準ずる面（全部で8面）302を用いた。

【0024】必要であれば再び窒化膜等で全体を覆ったあと、デバイス作製領域のみに窓を開ける。開口部に応じて選択成長するので本実施例では円筒状になるよう開口部を制御した。図4は、この工程後のSi球（光デバイス作製領域）101の断面図ある。

【0025】以下、光デバイスの結晶成長について説明する。この技術としては、本出願人による特願平11-136515号明細書に開示されたものを用いることができる。この結晶成長技術では、電子デバイスの形成された（100）面を有するSiウエハ上に、選択成長用マスクが形成され、Siとは格子定数の異なる或はSiとはほぼ等しい格子定数の第1のIII-V材料（III-V

N材料など）から成る薄膜を成膜したあと、該第1のIII-V材料より長い格子定数を有する第2のIII-VN材料及び第1のIII-V材料より短い格子定数を有する第3のIII-VN材料から成る多層薄膜が重み補償されながら積層され、その間、前記選択成長用マスク上を横方向成長することで、前記第1のIII-V材料とはほぼ等しい格子定数を有する第4のIII-VN材料結晶を選択的に成膜し、且つ該第4のIII-VN材料結晶上に化合物半導体光デバイスを積層している。

【0026】本実施例では以下の様に成長させた。まず、ガスソースMBE法あるいはMOCVD法を用いて、前記（111）面に準ずる面302のみにGa_NxAs_{1-x}をバッファ層として積層する。ここでは、GaAsに格子整合するよう窒素組成Xを0.2から0まで徐々に変化させた。この後、GaInNAs/GaAsを活性層とするLED構造あるいは面発光レーザ（vertical cavity surface emitting laser（VCSEL））構造を作製する。LEDを例に説明する。

【0027】図5において、501はSi球、502は上記バッファ層、503はLED、504はpin-PD、505は入射光、506は出射光、507は電極パッドである。LED部分の拡大図が図6である。バッファ層502のウエハに、n型GaAs/AlAs反射層（反射率90%）602、GaInNAs/GaAs単一量子井戸（SQW）活性層603、p型GaAs/AlAs反射層（反射率90%）604を形成する。LEDにもかかわらず反射層602、603を設けたのは出射効率（所望の方向に効率的に多くの光を取り出す）を高めるためである。

【0028】障壁層702で挟まれた単一の井戸層701を持つ活性層603の具体的なエネルギーバンド構造を図7に示した。共振器長が1波長となるようクラッド層703の厚さを制御した。また、p型GaAs/AlAs反射層604の一層のAlAsをその中央部を除いて酸化することで電流狭窄層605を形成している。

【0029】以上の層の成長後、正電極606および負電極607を形成する。そして、前記窒化膜を除去したあと電極606、607とIC103とを配線する。

【0030】本実施例の光源は面発光型LED構造のため、ほぼ全立体角に光を放射できる構造になっている。放射角を大きくするために、球面レンズがついた構造を作り付けてもよい。たとえば、前記（111）面およびそれに準ずる面をレンズ状（たとえば凹レンズ状）にエッチングした上で、そこに上記LED構造を成長すればよい。

【0031】以上は、光源についての製造方法であるが、受光デバイスも同様な方法（バッファ層で格子整合の調整をした後にデバイスの結晶成長を行う）で作製できる。これらの光デバイスは上記の選択成長技術で一度に作製してもよいし、別々に作製してもよい。本実施例

では選択成長で一度に成長した(図5参照)。

【0032】本実施例の動作方法について説明する。まず、もっとも基本的な動作について説明する。本実施例の発光デバイスの場合、DBR層602、604を用い活性層603にGaInNAs/GaAsを用いたことで、動作電流0.05mA、動作電圧1.5Vで駆動できるため、1.5V以上で動作するCMOS回路のロジック信号でダイレクトに駆動できる。また、受光デバイスも、1.5V程度の逆バイアスをかけることで十分な受光感度を得ることができる。また、ともに面型LEDおよび面型pin-PD構造のため、ほぼ全立体角に光を放射し、全立体角からの光を受光できる構造になっている。これは、(111)面に準ずる8面の何れかに配置したLEDから発した光が、他の7面の受光デバイスで受信できることを意味する。

【0033】次に信号の流れについて説明する。図1において、ボールIC外部から、CMOS等からなるプロセッサエレメント(PE)103に電気信号が入力されると、そこで演算が行われたあと、その出力が電気配線104あるいは光配線105で他のPEに伝送される。電気配線104は通常のICと同様に信号を伝送する。光配線105は発光デバイスを介してSi球101のなかに広い立体角で光を放射する。放射された光は受光デバイスにより受光され、電気信号に変換される。

【0034】このとき、受信される光については、前記電気配線に流れる信号によって特定の受光デバイスのみを受信させたり、特定の受光デバイスの受信感度を制御できたりする。本実施例では、これらの演算およびデータ転送を1個のボールIC内および表面で行うことを基本動作とする。

【0035】本実施例においては、電子デバイスも光デバイスも球上に配置することで、電気配線と光配線が干渉することなく、これらのデバイスを効率的にインテグレートできることが最大の効果である。

【0036】(実施例2)本実施例は、SiボールIC上のVCSEL(活性層はGaInNAsが主体)およびPD(活性層はGaInNAsあるいはSiGe)が形成され、これらがGaAsに格子整合しない例である。

【0037】図8は本実施例を説明する模式図(断面図)である。実施例1と異なるのは、バッファ層502の格子定数がSiとGaAsの間の任意の値であること、光源に面発光レーザ(VCSEL)を用いていることである。

【0038】図8中、101は球形状を有する直径約1mmのSi球であり、801は面発光レーザ(VCSEL)、802はリング状の受光面を持つpin-PD、803は電極パッド、804はVCSEL801からの出射ビーム、805は他のVCSELからpin-PD802への入射光である。

【0039】本実施例の製造は以下の様に行われる。ボールICの作製方法は、実施例1と全く同じでよい。Si-ICプロセスがほぼ終了したあと、光デバイスを次の様に作製する。

【0040】球全体を窒化膜等でカバーし、光デバイスの作製部分(約10 μ m程度)を平面に研磨および化学ポリッシングする。ここでは、(001)面およびそれに準ずる面(全部で6面)を用いた(図9参照)。むしろ、実施例1のように(111)面に準ずる面でも構わない。

【0041】必要であれば再び窒化膜等で全体を覆ったあと、光デバイスの作製領域のみ窓を開けてもよい。実施例1と同様、窒化膜で覆うのは、電子デバイスを保護するためと、選択成長用マスクとして使用するためである。本実施例では、5 μ m ϕ の開口部をもつ窒化膜を新たに作製した。以下、光デバイスの結晶成長について説明する。

【0042】ガスソースMBE法あるいはMOCVD法を用いて、前記(001)面に準ずる面のみにGaN_xAs_{1-x}をバッファ層502として積層する。ここでは、窒素組成Xを0.2からy(0.2>y>0)まで徐々に変化させた。本実施例ではy=0.05を用いた。この後、所望の光源および受光デバイスを作製する。

【0043】ここでは、光源としてVCSELを例に説明する。再度、図6を用いて説明する。図6において、502はGaNA_sバッファ層、602はn型AlNA_s/GaNA_s反射層(反射率99.9%)、603はアンドープ活性層、604はp型AlPAs/GaNA_s反射層(反射率99.99%)である。p型反射層604にAlPAs/GaNA_sの組み合わせを用いたのは、GaNA_sバッファ層502に格子整合し、2層の屈折率差を大きく取れ、かつ、価電子帯のヘテロ障壁を小さくできるためである。n型反射層602にAlNA_s/GaNA_sの組み合わせを用いたのは、GaNA_sバッファ層502に格子整合し、伝導帯のヘテロ障壁を小さくできるためである。この結果、光学的には、少ない層数で高反射膜を実現でき、電気的には、ヘテロ障壁に起因する直列抵抗を下げることができ、低電流かつ低電圧で動作するVCSEL801を作製することができた。

【0044】活性層603の構造を図7を再度用いて説明する。GaInNAs井戸層701(厚さ8nm、発光波長1.35 μ m、歪み-0.5%(引っ張り歪み))、InGaAs障壁層702(厚さ10nm、歪み0.5%(圧縮歪み))から構成し、井戸数を1とすることで、発振波長が1.3 μ m程度になるように設定した。歪みは必要に応じて制御してもよい。重要な点は、この活性層603がIII-VNとIII-V半導体材料からなっており、Si球内を光伝送路として用い

得る様にSiの吸収端波長よりも長い波長(たとえば1.3 μ m)の発光波長を有し、かつ、伝導帯のバンドオフセットが大きく取れることで温度特性に優れた構造になっていることである。

【0045】上記結晶成長後、正電極606および負電極607を形成する。前記窒化膜を除去したあと、電極606、607とボールIC103とを配線する。

【0046】実施例2においても、以上は光源についての製造方法であるが、受光デバイスも同様な方法でよい。上記の選択成長技術で一度に作製してもよいし、別々に作製してもよい。選択成長で別々に成長した例が図8に示してある。VCSEL801の活性層は、Si球内部を光伝送路とできる様にIII-VN半導体材料を用いる必要があるが、受光デバイス802の活性層には1.3 μ m帯を受光できるSiGeを用いてもよい。このためには、選択成長を光源用と受光デバイス用に別々に行う必要がある。

【0047】いずれにせよ、Si球上に形成できて、Si球内部を透過できる光を出す光源およびその光を受光できる受光デバイスであれば、上記本実施例の構造に限定されるものではない。

【0048】本実施例の動作原理について説明する。本実施例のVCSELの場合、反射層と活性層にIII-VN半導体材料を用いたことで、動作電流0.1mA、動作電圧1.5Vで駆動できるため、1.5V以上で動作するCMOS回路のロジック信号でダイレクトに駆動できる。また、受光デバイスも1.5V程度の逆バイアスをかけることで十分な受光感度を得ることができる。

【0049】図1において、ボールIC外部から、CMOS等からなるプロセッサエレメント(PE)103に電気信号が入力されると、そこで必要な演算が行われたあと、その出力が電気配線104あるいは光配線105で他のPEに伝送される。電気配線104は通常のICと同様に信号を伝送する。実施例1と異なり、本実施例ではレーザを用いているので、光の指向性が高く特定の受光デバイスのみに信号が伝送される。たとえば、図9のように、(001)面から出射された光信号は(00-1)面上の受光デバイス102のみが受光する。あるいは、(100)面から出射された光信号は(-100)面にある受光デバイス102のみが受光する。受光した信号は、近傍のPEで処理され、電気配線104あるいは光配線105を通じて伝送され、最終的に所望の演算結果を得る。この様に、電気配線と光配線を有機的に結びつけることができる。

【0050】(実施例3)本実施例は、光源としてLEDとLEDとを組み合わせる例に関わる。実施例1では光源としてLEDを、実施例2では光源としてLEDを用いたが、場合によっては本実施例の様に混在させてもよい。

【0051】図10はその構成例を模式的に示したもの

である。図10において、102aは1 \times N光配線用の光デバイスであり、実施例1のものを用いることで、1つのPEからの出力を多出力(ファンアウト)することができる。一方、102bは、1 \times 1光配線用の光デバイスであり、実施例2のものを用いることで1 \times 1の光接続が可能になる。1 \times N光配線にくらべ、配線の柔軟性は失われるが高速のデータ転送が可能になる。

【0052】場合によっては1個のPEに、102aおよび102b両方の機能を有する光デバイスを配置してもよい。この様に、電気配線と同様に光配線で1 \times 1および1 \times N接続を可能にでき、トータルではN \times Nの接続が容易に可能になるため、飛躍的なデータ処理速度の向上をはかることができる。

【0053】

【発明の効果】以上に説明した様に、本発明により以下の如き効果が奏される。

(1) Si球等の立体形状半導体結晶の表面に光源および受光デバイス(典型的には、ICおよび複数の光源および受光デバイス)を配置することで、内部を伝送路とすることができるため、飛躍的に配線密度および転送容量を上げられる。

【0054】(2) この光伝送路はフレキシブルであるため、N \times N接続が容易なため、ピンボトルネックを解決できる。

【0055】(3) Si球上にGaAsN系の発光層を積層できるため、きわめて消費電力の小さい光デバイスが作製できる。

【図面の簡単な説明】

【図1】図1は、本発明の実施例1の全体を示す正面図である。

【図2】図2は、Si球上にICと電気配線を形成した段階の本発明の実施例1を示す正面図である。

【図3】図3は、ICと電気配線を形成したSi球を窒化膜で覆った後に光デバイス作製部分を平面状に研磨した段階の本発明の実施例1を示す正面図である。

【図4】図4は、本発明の実施例1のSi球の光デバイス作製領域の断面図である。

【図5】図5は、Si球の光デバイス作製領域に光デバイスを作製した段階の本発明の実施例1の断面図である。

【図6】図6は、Si球の光デバイス作製領域に作製されたLED部分の断面図である。

【図7】図7は、発光デバイスの活性層のエネルギーバンド構造図である。

【図8】図8は、Si球の光デバイス作製領域に光デバイスを作製した段階の本発明の実施例2の断面図である。

【図9】図9は、1 \times 1の光の授受を説明する本発明の実施例2の正面図である。

【図10】図10は、1 \times 1及び1 \times Nの光の授受を説

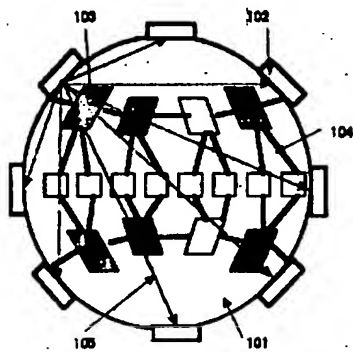
11

明する本発明の実施例3の正面図である。

【符号の説明】

- 101 Si球
 102 光デバイス（光源、受光デバイス）
 102a 1×N光配線用光デバイス
 102b 1×1光配線用光デバイス
 103 電子デバイス（IC）
 104 球表面上の電気配線
 105 球内部の光配線（光伝送路）
 301 窒化膜
 302 (111)面
 502 バッファ層
 503 光源（LED）
 504、802 受光デバイス（PD）

【図1】

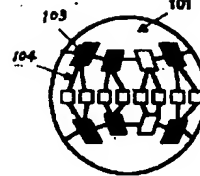


- 101 Si球
 102 光デバイス（光源、受光デバイス）
 103 電子デバイス（IC）
 104 球表面上の電気配線
 105 球内部の光配線（光伝送路）

12

- 505、805 入射光
 506、804 出射光
 507、803 電極パッド
 602 n型反射型
 603 活性層
 604 p型反射型
 605 狭窄層
 606 正電極
 607 負電極
 701 井戸層
 702 障壁層
 703 クラッド層
 801 光源（VCSEL）

【図2】

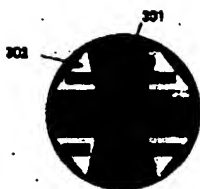


- 101 Si球
 103 IC
 104 電気配線

【図4】

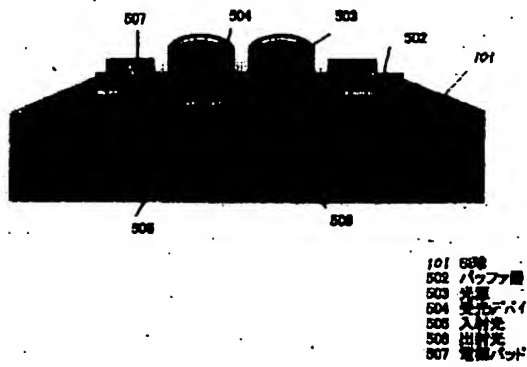


【図3】

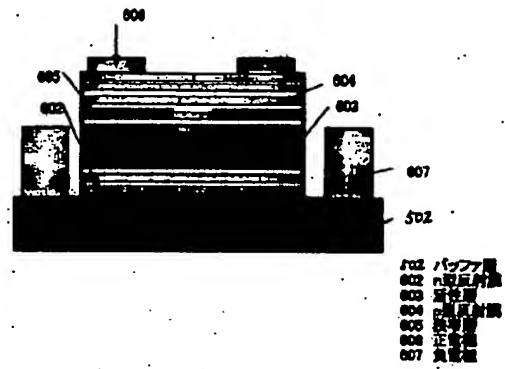


- 301 窒化膜
 302 (111)面

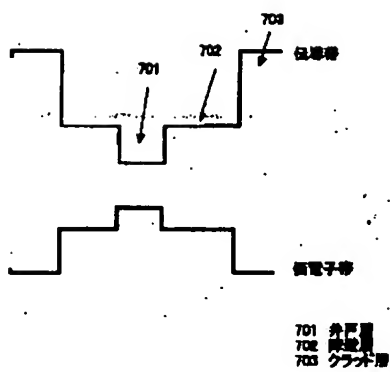
【図5】



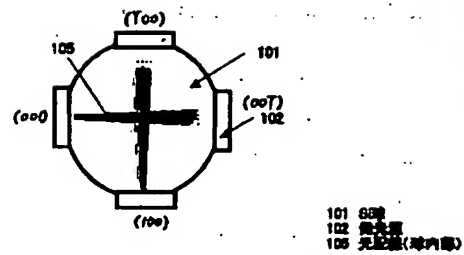
【図6】



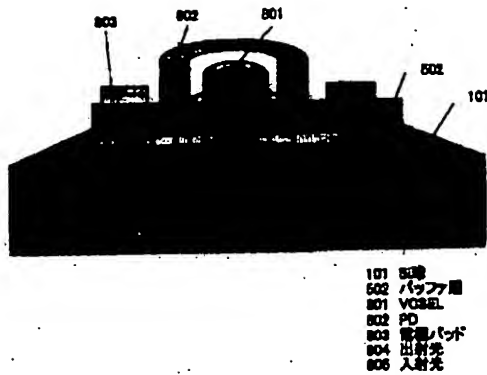
【図7】



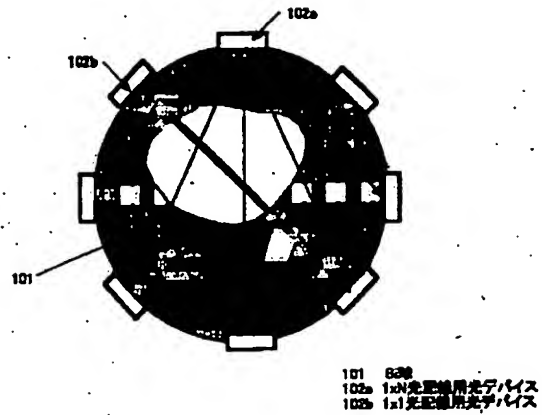
【図8】



【図9】



【図10】



フロントページの続き

(51)Int.Cl.⁷
H 01 S 5/323

識別記号

F 1
H 01 L 31/10

テーマコード(参考)

A

Fターム(参考) 5F041 AA25 CA04 CA12 CA33 CA34
CA65 CA66 CB01
5F049 MB07 NA20 PA03 PA04 RA01
RA07 SS03 SS06 UA01 UA20
5F073 AB14 AB17 BA09 CA17 CB04
CB08 DA06 DA21 DA27 EA14
5F089 AA01 AB03 AB08 AC05 AC06
AC07 AC09 AC10 CA20 CA21